

高精度 Σ - Δ ADC 中多通道数字抽取滤波器的设计王 鑫^{1,3}, 樊晓华^{1,2}, 吴书园^{1,3}

(1 中国科学院大学 工程管理与信息技术学院, 北京 100049;

2 中国科学院 微电子研究所, 北京 100029; 3 南京中科微电子有限公司, 江苏 南京 210042)

摘 要: 针对传统 ADC 转换精度较低的缺陷, 提出一种 24 位高精度 Σ - Δ ADC 的系统设计方法, 并完成了数字抽取滤波器的版图设计. 数字抽取滤波器主要由控制模块、7 级 CIC 滤波器、FIR 补偿滤波器、FIR 抽取滤波器组成. 采用抽取因子可调的多级 CIC 抽取滤波器结构, 有 8 种输出采样率可供选择, 以适应带宽不同的信号. 整体滤波器的通带波纹小于 0.05 dB, 阻带衰减不低于 130 dB. 采用通道间时分复用的方法, 相比传统时分复用进一步减少了电路中加法器和乘法器. 采用 SMIC 0.18 μm CMOS 工艺实现, 芯片面积平均每通道约为 0.81 mm^2 , 输出采样率为 500 SPS 时, 平均每通道功耗约为 18.26 mW.

关键词: Σ - Δ ADC; 多通道; 抽取因子可调; 较小面积

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2015)11-0064-05

Design of Multi-channel Decimation Filter in High Conversion Precision Σ - Δ ADCWANG Xin^{1,3}, FAN Xiao-hua^{1,2}, WU Shu-yuan^{1,3}

(1 College of Engineering & Information Technology, University of Chinese Academic of Science, Beijing 100049, China; 2 Institute of Microelectronics of Chinese Academy of Science, Beijing 100029, China; 3 Nanjing CSM-IC Microelectronic Inc., Nanjing 210042, China)

Abstract: To deal with the low conversion precision of traditional ADC, a design of Σ - Δ ADC with 24-bit high conversion precision was introduced, and digital decimation filter of which was fabricated. The digital decimation filter consists of a controller, a seven stage CIC filter, a FIR compensation filter and a FIR decimation filter. Multi-stage variable decimation CIC filter with 8 output sample rate was proposed to fit different bandwidth signal. Pass band ripple of the combined filters was less than 0.05 dB, and the stop band attenuation was greater than 130 dB. Method of time division multiplexing between different channels was adopted to reduce more adders and multipliers than conventional time division multiplexing. Designed in SMIC's 0.18- μm CMOS process, the chip area was 0.81 mm^2 per channel. The circuit consumed only 18.26 mW of power per channel when the output sample rate was 500 points per second.

Key words: Σ - Δ ADC; multi-channel; variable decimation; lower area

1 引言

传统的奈氏速率 ADC 虽然可以达到很高的转换速度, 但由于元件难以完全匹配以及电路的非理想性, 它们的分辨率通常被限制在 10~12 位之间^[1]. Σ - Δ ADC 不要求严格的元件匹配, 作为速度

与精度之间的折中, 通常可以获得超过 16 位的较高分辨率. 由于 Σ - Δ ADC 的模拟电路部分, 即 Σ - Δ 模拟调制器, 只是对输入信号幅度进行粗糙地量化, 所以其实现比较容易. 数字抽取滤波器对粗量化的信号进行滤波以及降采样处理, 最终获得采样点的幅度量化精度更高的信号. 实践表明数字

抽取滤波器通常占据芯片较大的面积,且消耗大部分的功率^[1].采用 VLSI 技术可以获得高速高密度的数字抽取滤波器,因此 $\Sigma-\Delta$ ADC 具有很大的发展潜力.

在地质、水文等测量应用领域,通常需要对次声波等低频信号进行模数转换,图 1 所示为一种能够对多个信号进行采集、转换、分析的实时处理系统.

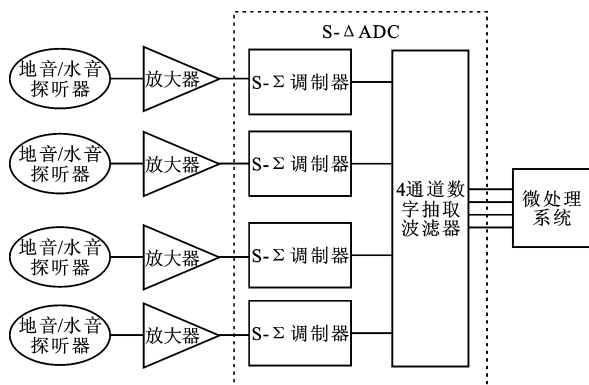


图 1 地质、水文信号处理系统

本文针对该系统的模数转换部分,提出一种高转换精度、低速的 $\Sigma-\Delta$ ADC 设计方法,对 $\Sigma-\Delta$ 调制器进行建模仿真,并完成数字抽取滤波器的 RTL 设计以及版图设计.本文在传统的时分复用方法上更进一步,在多个通道之间进行加法器和乘法器的复用,进一步减小了电路的面积.

2 $\Sigma-\Delta$ 调制器原理与设计

$\Sigma-\Delta$ ADC 主要由两个部分组成: $\Sigma-\Delta$ 调制器和数字抽取滤波器.单环 $\Sigma-\Delta$ 调制器的结构如图 2 所示.

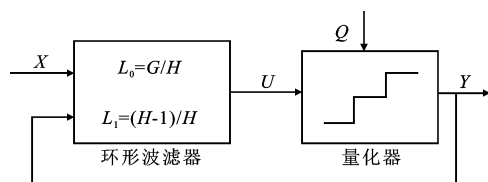


图 2 单环 $\Sigma-\Delta$ 调制器结构

其系统函数为

$$Y(z) = G(z)X(z) + H(z)Q(z) \quad (1)$$

在式(1)中, $X(z)$ 为输入信号, $Q(z)$ 为理想情况下的量化噪声, $G(z)$ 为输入信号的传输函数, $H(z)$ 为量化噪声的传递函数.显然,输出信号 $Y(z)$ 是输入信号与量化噪声经过不同的传输网络后叠加的结果.

在不考虑非理想因素的情况下,一个阶数为 L 、量化器位数为 B 、过采样率为 M 的 $\Sigma-\Delta$ 调制器的动态范围(满刻度时的正弦输入信号功率与信噪比为 1 时的正弦输入信号功率之比)为

$$DR_{(\text{dB})} = 10 \times \lg \left(\frac{3}{2} \frac{2L+1}{\pi^{2L}} M^{2L+1} (2^B - 1)^2 \right) \quad (2)$$

在实际设计中,3 阶调制器除了稳定性较好外,还可以实现高的动态范围;1 位量化器中 DAC 的线性度较好,不需要数字校准或者动态匹配电路,降低了设计难度.因此本设计采用 3 阶 1 位量化的级联积分器反馈(CIFB)结构^[2],如图 2 所示. $\Sigma-\Delta$ 调制器要求达到至少 21 位有效量化精度,根据有效位数(ENOB)与动态范围的关系式:

$$\text{ENOB} = \frac{DR - 1.76}{6.02} \quad (3)$$

可以算出动态范围至少为 128.2 dB,据式(2)可以算出过采样率不小于 130,本设计中最小过采样率设定为 256.

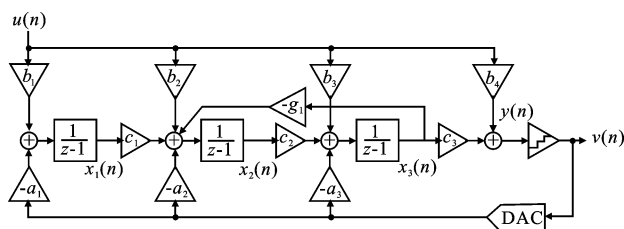


图 3 三阶级联积分器反馈结构

图 3 中输出信号 $V(z)$ 与输入信号 $U(z)$ 及量化噪声 $Q(z)$ 之间的函数关系为

$$V(z) = \frac{b_1 c_1 c_2 c_3 + (b_2 c_2 c_3 + b_4 c_2 g_1)(z-1) + b_3 c_3 (z-1)^2 + b_4 (z-1)^3}{a_1 c_1 c_2 c_3 + (a_2 c_2 c_3 + c_2 g_1)(z-1) + a_3 c_3 (z-1)^2 + (z-1)^3} U(z) + \frac{c_2 g_1 (z-1) + (z-1)^3}{a_1 c_1 c_2 c_3 + (a_2 c_2 c_3 + c_2 g_1)(z-1) + a_3 c_3 (z-1)^2 + (z-1)^3} Q(z) = G(z)U(z) + H(z)Q(z) \quad (4)$$

一般 $G(z)$ 为常数以保证信号无失真传输,取 $G(z) = 1$,即 $b_1 = a_1, b_2 = a_2, b_3 = a_3, b_4 = 1$.量化噪声传递函数 $H(z)$ 构造一个高通滤波器,以使量化噪声尽量分布于高频部分而有利于进行抽取滤波^[3].利用切比雪夫函数可以构造量化噪声传递函数:

$$H(z) = \frac{(z-1)(z^2 - 2z + 1.0001)}{(z-0.6694)(z^2 - 1.5308z + 0.6638)} \quad (5)$$

通过建模仿真,对得到的系数进行缩放,以保证系统工作于稳定状态,优化后的各级系数为 $a_1 = 0.1397, a_2 = 0.2641, a_3 = 0.2243; b_1 = 0.1397, b_2 = 0.2641, b_3 = 0.2243, b_4 = 1; c_1 = 0.2887, c_2$

$= 0.306\ 0, c_3 = 3.565\ 1; g_1 = 0.$

Σ - Δ 调制器输出信号的频谱如图 4 所示, 量化噪声分布于 $0 \sim f_s/2$ (f_s 为调制器采样率) 的范围内, 由于量化噪声传递函数的高通特性, 量化噪声集中分布于高频段, 而低频段的量化噪声较小. 通过数字抽取滤波器滤除 Σ - Δ 调制信号的带外噪声, 可以获得信噪比较高的量化信号.

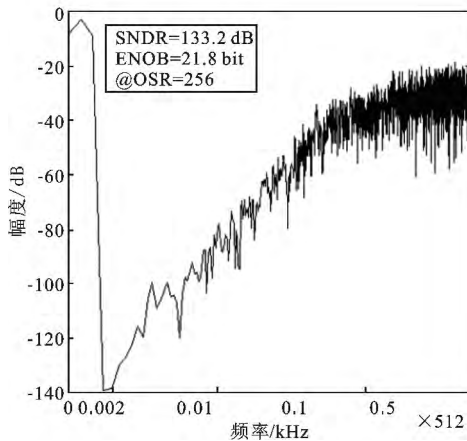


图 4 Σ - Δ 调制器输出信号幅频响应

3 滤波器设计

滤波器的具体结构如图 5 所示, 固定抽取因子滤波器组由 1 个 6 阶 8 倍抽取的 CIC 滤波器和 1 个 5 阶 4 倍抽取的 CIC 滤波器级联组成, 以完成 32 倍降采样. 可变抽取因子滤波器组由 2 个 5 阶 5 倍抽取的 CIC 滤波器和 3 个 5 阶 2 倍抽取的 CIC 滤波器组成, 对选择器进行设置可以得到不同的输出采样率. 补偿滤波器是 1 个 50 阶的 FIR 滤波器, 目的是对信号带内衰减进行补偿. 同时完成 4 倍降采样. FIR 抽取滤波器是 1 个 119 阶的抽取因子为 2 的滤波器, 以实现高性能降采样.

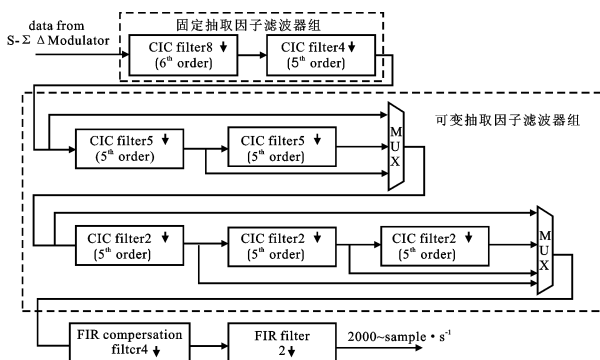


图 5 数字抽取滤波器结构

3.1 固定抽取因子滤波器组

固定抽取因子滤波器组对高速数据流进行预滤波和抽取, 以利于其后的抽取滤波. CIC 滤波器作为一种只有加法器而无乘法器的抽取滤波器, 非常适合于前级抽取滤波. 抽取因子为 M 的 N 阶 CIC 滤波器系统函数为

$$H(z) = \left(\frac{1 - z^{-M}}{1 - z^{-1}} \right)^N \quad (6)$$

频谱响应为

$$|H(j\omega)| = \left| \frac{\sin(M\omega/2)}{\sin(\omega/2)} \right|^N \quad (7)$$

CIC 低通滤波器的零点位于 $2\pi k/M$ 处 (k 为不大于 $M/2$ 的正整数), 第一零点位于 $2\pi/M$ 处, 通带截止频率 $\omega_c = \pi/M$, 其幅度响应为

$$\left| H(j\frac{\pi}{M}) \right| = \left| \frac{\sin(\pi/2)}{\sin(\pi/M/2)} \right|^N = \left| \sin(\frac{\pi}{2M}) \right|^{-N} \quad (8)$$

由式(8)可知, CIC 滤波器的抽取因子 M 决定了零点的分布位置; 对于相同的抽取因子 M , 阶数 N (级联积分器个数) 越大, 第一旁瓣衰减和通带内衰减越大. 由于该级处于整个滤波抽取的前端, 信号采样率最高, 根据 $\omega = 2\pi f/f_s$ 可知信号通带数字角频率较小, 相应地, 通带内衰减也较小. 综上所述, 对过采样信号进行前级处理时, CIC 滤波器是一种高效抽取滤波器.

在实际应用中, 通常采用多级 CIC 滤波器级联的结构实现抽取滤波器, 考虑到 CIC 滤波器的稳定性, 其阶数一般不超过 6 阶^[4]. 为了获得较大的第一旁瓣衰减, 本文选取 6 阶 8 倍抽取 CIC 滤波器和 5 阶 4 倍抽取 CIC 滤波器级联的结构, 其第一零点位于 $\pi/16$ 处, 第一旁瓣衰减约为 -78 dB.

3.2 可变抽取因子滤波器组

可变抽取因子滤波器组结构如图 5 所示, 它由 5 个子滤波器及两个选择器组成. 不同输出采样率下的可变抽取因子滤波器组结构如表 1 所示, 其中输出采样率为 Σ - Δ 调制器的采样速率为 $512 \text{ ksample} \cdot \text{s}^{-1}$ 下的值. CIC_RaNb 代表采用抽取因子为 a 的 b 阶 CIC 滤波器; FIR1 为 4 倍抽取的 FIR 补偿滤波器, FIR2 为 2 倍抽取的 FIR 滤波器.

本文采用通道之间时分复用的方法, 即在单级四个 CIC 滤波器中仅用一个加法器和外围控制电路就实现了对最多四独立通道信号的处理, 这种多通道时分复用的方法相比传统的时分复用方法可以进一步减小电路的面积. 经过抽取后数据速率较低,

表 1 不同抽取倍数下可变抽取因子滤波器组结构

输出采样率/ (ksample $\cdot$ s $^{-1}$)	可变抽取因子滤波器组结构
2 000	—
1 000	CIC_R2N5
500	CIC_R2N5, CIC_R2N5
200	CIC_R5N5, CIC_R2N5
100	CIC_R5N5, CIC_R2N5, CIC_R2N5
50	CIC_R5N5, CIC_R2N5, CIC_R2N5, CIC_R2N5
20	CIC_R5N5, CIC_R5N5, CIC_R2N5, CIC_R2N5
10	CIC_R5N5, CIC_R5N5, CIC_R2N5, CIC_R2N5, CIC_R2N5

表 2 不同方法消耗的乘法器和加法器资源对比

实现方法		四通道 5 阶 CIC 滤波器	四通道 50 阶 FIR 滤波器
无时分复用	加法器	40	200
	乘法器	—	204
传统时分复用	加法器	4	4
	乘法器	—	4
多通道间时分	加法器	1	1
复用(本文)	乘法器	—	1

十分有利于采用时分复用的方式进行处理。表 2 所示为采用无时分复用、传统时分复用、多通道间时分复用三种方法分别实现四通道 5 阶 4 倍抽取 CIC 滤波器、四通道 50 阶 FIR 补偿滤波器所消耗的乘法器和加法器资源对比。

从表 2 可以看出,在对数据处理速度要求不高的情况下,如本文中 $\Sigma-\Delta$ 调制器的数据速率为 512 ksample $\cdot$ s $^{-1}$,采用时分复用的方法可以有效地减少加法器或乘法器,虽然这样需要增加一些控制电路,但是控制电路的面积增加相比加法器或乘法器的面积减小还是十分微小的。对比传统的时分复用方法,本文采用的多通道间时分复用方法可以减少 75% 的加法器或乘法器。

3.3 FIR 补偿滤波器

在 CIC 滤波器组中靠近滤波器组前端的信号通带受到 CIC 滤波器的衰减较小,因此当总的抽取因子较大时,前端 CIC 滤波器的通带衰减几乎可以忽略不计。本设计要求通带波纹小于 0.05 dB,因此只需要对补偿滤波器的前一级 CIC 滤波器进行补偿即可,输出采样率为 2 000 sample $\cdot$ s $^{-1}$ 时,需要

对 5 阶 4 倍抽取 CIC 滤波器的通带 ($\omega \leq 0.05\pi$) 进行补偿;其它情况,需要对 5 阶 2 倍抽取 CIC 滤波器通带 ($\omega \leq 0.05\pi$) 进行补偿。同时要求补偿滤波器的阻带为 $\omega \geq \omega_s$, 且 $\omega_s \leq 0.25\pi$, 这样在补偿之后,可以直接进行 4 倍抽取。

对 CIC_R4N5 的带内衰减进行补偿的频谱响应如图 6 所示,本文要求补偿后带内衰减小于 0.035 dB。

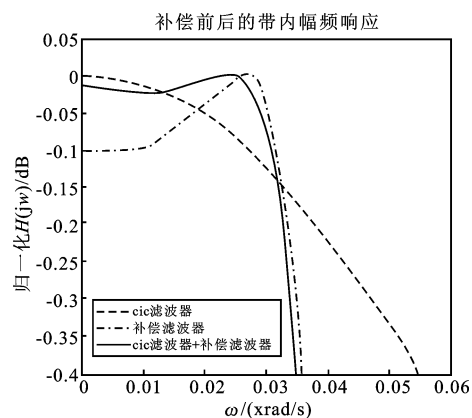


图 6 补偿前后的带内幅频响应

阻带衰减大于 40 dB。利用 Matlab 中 FIR2 函数设计 CIC 补偿滤波器,在带内 ($\omega \leq 0.025\pi$) 拟合 CIC 滤波器幅度响应的倒数,带外幅度响应尽量取较小的值,尤其是阻带 ($\omega \geq 0.25\pi$) 部分,这将有利于在补偿之后进行 4 倍的抽取。从图 6 可以看出, CIC_R4N5 经过补偿后,带内衰减由 0.1 dB 减小至 0.025 dB,达到了预期的要求。

3.4 FIR 抽取滤波器

2 倍抽取 FIR 滤波器处于滤波器的末端,因此需要满足较大的阻带衰减、较小的通带波纹的要求。可以采用 114 阶的等波纹 FIR 滤波器,其性能指标如下:

通带范围: $\omega \leq 0.4\pi$; 通带波纹: $A_p \leq 0.01$ dB;

阻带范围: $\omega \geq 0.5\pi$; 阻带衰减: $A_s \geq 130$ dB。

由于 FIR 滤波器需要处理的数据经过多级抽取后,数据速率较低,采用同一时钟进行处理时,不仅发挥了同步电路易综合、易分析的特性,还提高了电路的稳定性。利用时钟频率相对数据速率较高这一特点采用通道间时分复用方法,使用一个乘法器和一个加法器完成四个通道的乘累加运算,可以大幅度地减小电路面积。

4 仿真结果与分析

在考虑非理想因素的情况下,使用 Matlab 对

Σ - Δ 调制器进行建模仿真,获得 Σ - Δ 调制器的输出数据,将四路测试数据流读入数字电路模块进行仿真,时序波形如图 7 所示.

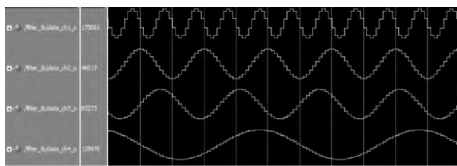


图 7 四通道输入的仿真时序波形
在调制器采样率为 $512 \text{ ksample} \cdot \text{s}^{-1}$ 、滤波器输出采样率为 $500 \text{ sample} \cdot \text{s}^{-1}$ 、测试激励为 50 Hz 余弦信号的条件下,对输出数据进行频谱分析,输出信号有效精度达到 20.4 位,如图 8 所示.

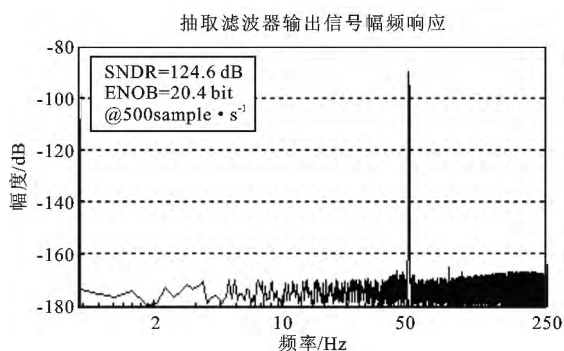


图 8 滤波器输出信号频谱

5 结束语

表 3 几种数字抽取滤波器的主要性能对比

参数	文献[4]	文献[5]	文献[6]	本文
有效转换精度/bit	16	18	18	20.4
降采样率	128	256	256	≥ 256
工艺/ μm	chrt	JAZZ	SMIC	SMIC
	0.35	0.35	0.18	0.18
CMOS	CMOS	CMOS	Mixed	CMOS
通道数	1	1	1	4
面积/ mm^2	6.25	4.41	2.1	3.25
工作电压/V	—	3.3	1.8	1.8
功耗/mW	—	—	—	73.04

文中提出了一种 24 位高精度 Σ - Δ ADC 的系统设计方法,完成了包括 Σ - Δ 模拟调制器在内的整个系统建模,并在 SMIC 0.18 μm CMOS 工艺下完成了数字电路部分的版图设计,具体性能如表 3 所示.

整个 Σ - Δ ADC 的有效精度达到了 20.4 位,相比其他设计提高了至少 2 位有效精度.整体面积有一定的增加,但是考虑到本设计是四通道处理方式,平均每通道的面积相比文献[6]减少了约 61%.整个数字电路采用同步设计的方法,全部使用基本运算单元,可移植性强.

参考文献:

- [1] Phillip E Allen, Douglas R Holberg. CMOS analog circuit design[M]. 2nd ed. 冯军,译. 北京:电子工业出版社,2011.
- [2] De Bock M, Xing X, Weyten L, et al. Calibration of DAC mismatch errors in Σ - Δ ADCs based on a sine-wave measurement[J]. Circuits and Systems II: Express Briefs, IEEE Transactions, 2013, 60 (9): 567-571.
- [3] Yi Xie, Minglei Zhang, Baoyue Wei, et al. High speed low-power decimation filter for wideband Delta-Sigma ADC[C]// IEEE Midwest Symposium on Circuits and Systems. USA, College Station, 2014: 591-594
- [4] 丁晓燕. 16-bit 100Ksps Sigma-Delta 模数转换中数字滤波器的设计[D]. 西安:西安电子科技大学,2009.
- [5] 余晓凡. Sigma-Delta 模数转换器中数字滤波器的设计与 ASIC 实现[D]. 成都:电子科技大学,2010.
- [6] 蔡友. sigma-delta ADC 中抽取滤波器的研究与实现[D]. 浙江:浙江大学,2007.

作者简介:

王 鑫 男,(1989-),硕士研究生.研究方向为数字集成电路的研究与设计. E-mail:king-star1989@163.com.
樊晓华 男,(1976-),研究员,博士生导师.研究方向为高性能模拟、射频、混合 CMOS 集成电路的研究与设计.